PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-136309
(43)Date of publication of application : 21.05.1999

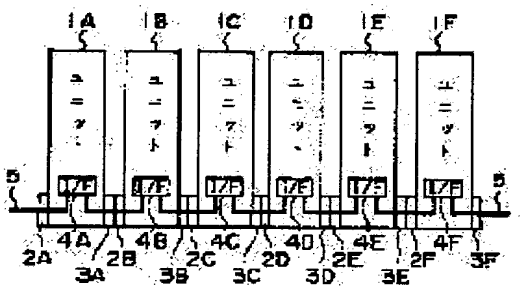
(51)Int.Cl. H04L 29/08
G06F 3/00
G06F 13/38

(21)Application number : 09-311022
(22)Date of filing : 28.10.1997

(71)Applicant : OMRON CORP
(72)Inventor : MIYATA YOSHIAKI
MORI HIROYUKI

(54) DATA PROCESSING SYSTEM

(57)Abstract:
PROBLEM TO BE SOLVED: To allow a data processing system adopting the unit connection system to attain data transfer performance with a high throughput and to enhance stable data transfer performance, independently of the number of units connected.
SOLUTION: This data processing system is configured with plural data processing units 1A-1F, each having a data processing section and a data bus 5 transferring input output data of each data processing section connected in cascade via each removable interface section, and data are transferred between the respective data processing units. In this case, a transfer control section is provided between an input interface section and an output interface section in each unit, and data received at a unit synchronously with a clock are transferred synchronously to a next unit, via a flip-flop with a succeeding clock.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

1. This document has been translated by computer.So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]
[Claim 1] The data processor which make column connection through the connection which detaches and attaches freely the data-processing unit equipped with the data bus which transmits the I / O data of the data-processing section and the aforementioned data-processing section, and is characterized by to constitute so that a transfer control section prepares between the input-side connection in each aforementioned unit, and an output-side connection and data may transmit to a contiguity unit through a flip-flop by clock synchronization by the aforementioned data bus synchronizing with the next clock signal of the clock signal at the time of an input in the data processor which performs data transfer between the aforementioned data-processing units
[Claim 2] The data processor according to claim 1 characterized by constituting so that a transfer control section may be controlled and the aforementioned data transfer to a latter data-processing unit may be suspended, if the data of self-unit ** transmitted on the data bus are received.
[Claim 3] The data processor according to claim 1 characterized by constituting so that error checking of transfer data may be performed and the obstacle generating part on a data bus may be pinpointed for every data-processing unit.
[Claim 4] The data processor according to claim 1 characterized by constituting so that the data to which the data bus top has been transmitted at the time of the failure in a self-data-processing unit may not be transmitted to the self-data-processing section but the data with which a data bus top is sent may be transmitted to a latter data-processing unit.
[Claim 5] The data processor according to claim 1 characterized by constituting so that the data transfer under transfer may be interrupted to a latter data-processing unit and data with the aforementioned high priority may be transmitted to a latter data-processing unit, if the data which have an attribute with a high priority during a transfer are inputted into a latter data-processing unit from the data-processing unit of the preceding paragraph in data.
[Claim 6] A data bus consists of bidirectional transmission lines, and two or more data-processing units consist of two or more slave data-processing units subordinate to one master data processing unit and it. A slave data-processing unit transmits data to a master data processing unit in response to the read-out instruction from a master data processing unit. The data processor according to claim 1 characterized by constituting so that the data for a maximum of 2 transfer clocks may be transmitted by one read-out instruction, by the time data reach a master data processing unit.
[Claim 7] Two or more data-processing units consist of two or more slave units subordinate to one master unit and it. A master unit adds a processing token to processed data, and transmits it to a slave unit. The slave unit in the state which can be processing started will stop the transfer to a latter slave unit, if processed data and a processing token are accepted. The slave unit which will be in the state which can be processing started is a data processor according to claim 1 characterized by constituting so that processed data and a processing token may be transmitted to a latter slave unit.
[Claim 8] a master unit -- processed data -- conditional -- the data processor according to

claim 7 characterized by constituting so that the processing token which the processing token was added, it transmitted to the slave unit, and the slave unit in the state which can be processing started accepted processed data and the processing token, changed the conditions of a processing token, and changed processed data and conditions may be transmitted to a latter slave unit

[Claim 9] The slave unit in the state which can be processing started is a data processor according to claim 7 characterized by constituting so that processed data and a processing token may be accepted and the processing result data processed by the internal circuitry may be transmitted to a latter slave unit.

[Translation done.]

* NOTICES *

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[The technical field to which invention belongs] this invention relates to the data processor of the unit connection type system which comes to make column connection of two or more data-processing units.
[0002]
[Description of the Prior Art] Conventionally, as for the data transfer in a unit connection type system, many back-plane methods and stack methods are used. The back-plane method has the composition of connecting two or more data-processing units 10A-10F to a data bus 12 through Connectors 11A-11F as shown in drawing 22 .
[0003] Moreover, by connecting through the connectors 13A-13F which formed Units 10A-10F in the both sides, and 14A-14F, column connection of the internal bus which links between both connectors directly is made, and a stack method constitutes a data bus 15, as shown in drawing 23 .
[0004] For this reason, a back-plane method can increase the number of units by connecting a unit through a connector, and a stack method can increase the number of units by connecting with a contiguity unit through the connector attached in the unit.
[0005]
[Problem(s) to be Solved by the Invention] However, by these conventional method, in order for a signal wave form to deteriorate by the increase in an electric load, the increase in trace length, etc., or for a transit delay to become large and to secure a demand transfer rate as the number of units increases, since it has the composition that many units share one signal line, there was un-arranging [that the maximum composition of a unit had to be restricted]. Moreover, by the stack method, in order to transmit a signal via a multi-stage connector, there was un-arranging [that a transfer clock could not be raised].
[0006] this invention was made in order to solve such a conventional technical problem, and it aims at offering the data processor which can demonstrate the data transfer performance stabilized irrespective of the number of units which makes data transfer of a high throughput possible, and is connected.
[0007]
[Means for Solving the Problem] More than one make column connection through the connection to which the data processor of this invention according to claim 1 can detach and attach freely the data-processing unit equipped with the data bus which transmits the I / O data of the data-processing section and this data-processing section. In the data processor which performs data transfer between data-processing units A transfer control section is prepared between the input-side connection in each unit, and an output side connection, and it constitutes so that data may be transmitted to a contiguity unit through a flip-flop synchronizing with the next clock signal of the clock signal at the time of an input by clock synchronization by the data bus.
[0008] According to this invention, data transfer of the stable high throughput by the number of units can be performed by making the transmission-line environment in which high-speed operation is possible where the load was restricted with transmission-line length, and carrying

out synchronizing-relay transmission of between the cut data buses at the shape of a pipeline.
[0009] In invention according to claim 1, if the data of self-unit ** transmitted on the data bus are received, the data processor of this invention according to claim 2 is constituted so that a transfer control section may be controlled and the data transfer to a latter data-processing unit may be suspended.
[0010] According to this invention, the data transfer path of a system can be divided into two or more paths, and it can be made to operate simultaneously.
[0011] In invention according to claim 1, the data processor of this invention according to claim 3 performs error checking of transfer data, and it constitutes it so that the obstacle generating part on a data bus may be pinpointed for every data-processing unit.
[0012] According to this invention, the obstacle on a transfer path can be detected and an obstacle part can be pinpointed per unit.
[0013] In invention according to claim 1, the data processor of this invention according to claim 4 is constituted so that the data to which the data bus top has been transmitted at the time of the failure in a self-data-processing unit may not be transmitted to the self-data-processing section but the data with which a data bus top is sent may be transmitted to a latter data-processing unit.
[0014] According to this invention, at the time of failure of the internal circuitry of a unit, an internal circuitry can be separated from a transfer path and a system can be worked succeedingly.
[0015] In invention according to claim 1, if the data which have an attribute with a high priority during a transfer to a latter data-processing unit are inputted from the data-processing unit of the preceding paragraph in data, the data processor of this invention according to claim 5 is constituted so that the data transfer under transfer may be interrupted to a latter data-processing unit and data with a high priority may be transmitted to a latter data-processing unit.
[0016] According to this invention, since data with a high priority are transmitted preferentially, the time which an Arbitration takes can be lost.
[0017] The data processor of this invention according to claim 6 is set to invention according to claim 1. A data bus consists of bidirectional transmission lines, and two or more data-processing units consist of two or more slave data-processing units subordinate to one master data processing unit and it. A slave data-processing unit transmits data to a master data processing unit in response to the read-out instruction from a master data processing unit. It constitutes so that the data for a maximum of 2 transfer clocks may be transmitted by one read-out instruction, by the time data reach a master data processing unit.
[0018] According to this invention, each slave unit can output every a maximum of two transfer clocks data in response to one read-out instruction from a master unit.
[0019] The data processor of this invention according to claim 7 is set to invention according to claim 1. Two or more data-processing units consist of two or more slave units subordinate to one master unit and it. A master unit adds a processing token to processed data, and transmits it to a slave unit. The slave unit in the state which can be processing started will stop the transfer to a latter slave unit, if processed data and a processing token are accepted. The slave unit which will be in the state which can be processing started is constituted so that processed data and a processing token may be transmitted to a latter slave unit.
[0020] According to this invention, even if a master unit does not check the processing start propriety state of each unit, the unit in which a processing start is possible can incorporate data autonomously, and can carry out processing execution.
[0021] the data processor of this invention according to claim 8 -- invention according to claim 7 -- setting -- a master unit -- processed data -- conditional -- a processing token is added and it transmits to a slave unit, and the slave unit in the state which can be processing started is constituted so that the processing token which accepted processed data and the processing token, changed the conditions of a processing token, and changed processed data and conditions may be transmitted to a latter slave unit
[0022] According to the conditions defined beforehand, to the unit in which two or more processing starts are possible, a multicasting transfer can be carried out and, according to this

invention, distributed processing of the data can be carried out.
[0023] The slave unit which the data processor of this invention according to claim 9 has in the state which can be processing started in invention according to claim 7 accepts processed data and a processing token, and it constitutes them so that the processing result data processed by the internal circuitry may be transmitted to a latter slave unit.
[0024] According to this invention, since processed data and processing result data can be transmitted on the same bus, a bus can be substantially used by the bandwidth of double precision.
[0025]
[Embodiments of the Invention] Drawing 1 is the block diagram of the unit connection type system by which this invention is applied, and column connection is made through the connectors 2A-2F as connection material which two or more data-processing units 1A-1F prepared in the both sides of each unit, and 3A-3F, and it is constituted so that data may be transmitted to the data-processing unit 1F side from the data-processing unit 1A side. Each units 1A-1F have CPU etc. inside, and have composition equipped with the data processing function.
[0026] Moreover, in each data-processing unit 1A-1F, the interface sections (I/F section) 4A-4F are formed, and one connectors 2A-2F and the connectors 3A-3F of another side are connected through these I/F sections 4A-4F. Therefore, the data bus 5 which pierces through all the data-processing units 1A-1F is connected through one connector 2 (2A-2F) of each data-processing units 1A-1F, the I/F section 4 (4A-4F), and the connector 3 (3A-3F) of another side.
[0027] Drawing 2 is the block diagram showing the composition of the transfer control section 40 in the I/F section 4, and is equipped with the input section 41 which receives the data from the data-processing unit 1A side, and the output section 42 which sends out data to the data-processing unit 1F side.
[0028] The clock signal and input signal which were received in the input section 41 are inputted into the internal circuitry in the data-processing unit 1 (not shown). moreover, a clock signal should be amplified by the clock driver 43, and should be inputted into the output section 42, and an input signal should pass a flip-flop (FF) 44 and a multiplexer (MUX) 45 -- it is inputted into the output section 42
[0029] A flip-flop 44 is controlled by the clock signal, and it is the circuit which synchronizes an input signal, and a multiplexer 45 is controlled by the control section 46, and chooses and outputs the output signal of a flip-flop 44, or the output signal of an internal circuitry. The switch section 47 is installed between the clock driver 43 and a flip-flop 44, and supply of the clock signal to a flip-flop 44 is controlled under control of a control section 46.
[0030] In this composition, the transfer control section 40 of each data-processing unit 1 latches an input signal in the standup of a clock signal, and outputs an output signal to a contiguity unit. Since it passes along a transmission line with same clock signal and data, the influence of a KURROKU skew can be offset. Moreover, since the signal path between 1 transfer clocks can be limited between contiguity units, the load and path of a transmission line are minimized and improvement in the speed of each transfer between contiguity units is attained.
[0031] For example, data-processing unit 1A of a high-order end is the camera unit which incorporates image data, and supposing the other data-processing units 1B-1F are image-processing units, on the other hand, image data will be transmitted to the image-processing units 1B-1F from camera unit 1A at **.
[0032] If this image data is assigned to every one screen (frame) at each units 1B-1F, it will become important to raise a throughput, in order that the phase of the input data between unit 1B - 1F may not necessarily have gathered and may transmit a lot of data rather. Then, the method of transmitting data by synchronizing-relay transfer in the shape of a pipeline like the gestalt of this operation works effectively.
[0033] (The usual data transfer) In the usual data transfer in the gestalt of this operation, the data transfer stabilized in the high throughput becomes possible irrespective of the change in the number of units by carrying out high-speed operation of the data bus which restricts a load with transmission-line length and by which the electric operating environment has been

improved, and carrying out the relay transfer of the data by clock synchronization like a pipeline. Drawing 3 is a timing chart at that time.
[0034] (Concurrent data transfer) The image processing system which drawing 4 made data-processing unit 1A camera #0 unit, made data-processing unit 1B image-processing #0 unit, made data-processing unit 1C camera #1 unit, and made the data-processing units 1D-1F image-processing #1 - #3 unit is shown.
[0035] In this composition, the transfer path between image-processing #0 unit 1B and camera #1 unit 1C is divided, the image data incorporated by camera #0 unit 1A is processed by image-processing #0 unit 1B, and the image data incorporated by camera #1 unit 1C is divided in image-processing #1 - #3 units 1D-1F, and is processed.
[0036] Specifically, the switch section 47 in the transfer control section 40 of image-processing #0 unit 1B is made into an open state, and it carries out by stopping supply of the clock signal to a flip-flop 44.
[0037] Thereby, the picture transfer path of camera #0 and the picture transfer path of camera #1 are divided, and data transfer can be simultaneously performed independently. However, when transmitting the image data of camera #0 to image-processing #1-#3 unlike the separate bus divided completely, data transfer can be performed by driving transfer control-section 4of image-processing #0 unit 1B B, and carrying out the relay transfer of the image data.
[0038] (Obstacle detection) Drawing 5 is the block diagram showing operation in the case of detecting the obstacle on a transfer path. As a means to detect the obstacle on a transfer path, the error of transfer data is detected, and when a stack is carried out in the error of meanses to correct the error, such as parity and ECC (Error Correcting Code : error correcting code), and a transfer protocol, there is WDT (UOTCHIDO timer) used well to detect it and restore.
[0039] With the gestalt of this operation, if an error is detected, the information which shows error detection to the register REG in the data-processing unit will be set, and generating of a transfer error will be notified to other data transfer units through the asynchronous path 6 established independently [the data transfer bus 5].
[0040] Other data transfer units which received the notice of an error stop a transfer immediately, it specifies between which units on a transfer path the master unit investigated the register of each unit and the obstacle generated it, and error processing, such as separating an obstacle unit, is performed.
[0041] In this example, an obstacle is among data-processing unit 1D - 1E, the information which shows an error check to the register REG of data-processing unit 1D is set, and the information which shows an error transfer to the register REG of data-processing unit 1E is set. And an error is notified to other data-processing units through the asynchronous path 6 from the data-processing units 1D and 1E.
[0042] (Separation of an obstacle unit) Drawing 6 is the block diagram showing operation at the time of forming through pass mode so that the transfer control section 4 and internal circuitry of the unit may be separated, when an obstacle occurs in the internal circuitry of a certain unit and it becomes impossible to operate normally.
[0043] In this mode, if data and the control signal which were received from the contiguity unit are delivered to latter contiguity as it is at a unit and it sees from the whole system, although it becomes 1 clock ******** delay element, it can be considered that data are what does not interfere in data transfer at all and does not exist.
[0044] this example -- the internal circuitry of data-processing unit 1D -- an obstacle -- generating -- the internal circuitry of data-processing unit 1D, and transfer control-section 4D -- separating -- transfer control-section 4D -- data -- one clock -- ********** -- signs that it operates as a delay element are shown
[0045] (Data transfer with a priority) If drawing 7 prepares a priority in the data to transmit and the data of a high priority are received during a low priority data transfer, it will once interrupt the low priority data transfer under execution, and will transmit the data of a high priority. For example, in burst transfers which occupy the data transfer bus 5 constantly, such as image display, when performing high interruption processing of urgency promptly, it is effective.
[0046] Drawing 8 is a flow chart which shows the procedure of the priority processing in each

data-processing unit. First, if data with a priority higher than the data under transfer come (Step S11), a control section 46 will save non-transmitted data at the momentary buffer in a self-data-processing unit (Step S12), will update the priority attribute of a transfer, and will transmit high priority data to the following data-processing unit (Step S13). A priority attribute is returned after the completion of a transfer, and the data of a low priority saved at the buffer temporarily are transmitted (Step S14).

[0047] Rather than the data under transfer, a priority will notify the collision of a transfer, if low data come (Step S11) (Step S15), and the data transfer under execution is continued (Step S16). Collision release is notified after the completion of a transfer (Step S17).

[0048] While drawing 9 being the timing chart which shows an example of a priority processing, and having transmitted the 8-bit data L0-L7 to data-processing unit 1C from data-processing unit 1B If the 4-bit data H0-H3 with a high priority are transmitted from data-processing unit 1A After data-processing unit 1B saves the non-transmitted data L3-L7 at the momentary buffer in a unit and transmits previously the data H0-H3 with a high priority, it transmits the remaining data L3-L7.

[0049] (Bidirectional transfer) Drawing 10 is the block diagram of the unit connection type system of the single master composition which was extended to the data transfer path of a bidirectional transfer of the data transfer bus 5, made data-processing unit 1A the master unit, and made the slave unit the data-processing units 1B-1F.

[0050] The relay transfer of the control signal of access which master unit 1A sent is carried out in between slave unit 1B - 1F, the relay transfer of the bidirectional reverse path is carried out, and the lead data from the slave units 1B-1F reach to master unit 1A.

[0051] Therefore, to lead access from master unit 1A, the slave units 1B-1F return data, and although it reaches master unit 1A, every two clocks time difference arises between contiguity units, respectively. It is possible to read only the data which can be transmitted with two clocks from all units by one lead access using this time difference.

[0052] Drawing 11 is the timing chart which shows the operation, and it is process in which a relay transfer is carried out one by one, and the lead access BR emitted from master unit 1A goes to the slave units 1B-1F. From data Do-D1 from slave unit 1B, the data D2-D3 from slave unit 1C, and slave unit 1D, signs that the data for two clocks are transmitted from each slave unit are shown like data D4-D5.

[0053] In time, processing is started by making a data input into a trigger with (parallel processing), and if the data to process consider as image data, it can transmit to an image-processing unit by one-way traffic from the camera unit which is a source of data at the parallel processing system which a data unit and a batch become from the data-processing unit corresponding to 1 to 1. If data are simply assigned to each unit when variation is in the time which processing takes to each unit, the time interval of a transfer must be doubled with the maximum of variation, and useless time will be wasted.

[0054] On the other hand, the unit which completed processing early is found out, if it is going to assign data without the futility of time and the signal line for a state sense is prepared, in order to discriminate the unit which completed processing, many signal lines are needed, and it takes time for discernment processing. Then, a processing token is added to transfer data, a relay transfer is carried out, if the unit in the state which can be processing started receives data and a token, they will be incorporated, and it considers as the distributing system which started processing. It is made not to pass a token to the next unit of the unit which received data and the token.

[0055] Since the unit in which one of processing starts is possible can process data even if time until it can start the next processing because of the variation in the processing time becomes long by this, baton time can be shortened.

[0056] Drawing 12 is a flow chart which shows the procedure by the side of the master in such a parallel processing system, and the procedure by the side of a slave. As procedure by the side of a master, a processing request token and processed data are transmitted to a slave side (Step S21), and it waits for the answer (ACK) from a slave side to come on the contrary predetermined time (Step S22). If ACK comes on the contrary (Step S23), the processing after Step S21 will be

repeated again and ACK will not come on the contrary, after carrying out error processing (Step S24), the processing after Step S21 is repeated.
[0057] If a unit is an idle state as procedure by the side of a slave when a token comes (Step S31) (Step S32), data will be incorporated without sending a token to the following unit, and ACK will be returned to a master side (Step S33). An end of processing of the incorporated data repeats the processing after Step S31 again (Step S34). If a unit is not an idle state (Step S32), a token and data will be transmitted to the following unit (Step S35), and the processing after Step S31 will be repeated.
[0058] (Extended token method) When performing processing different, respectively, the token method mentioned above is extended, and information, such as processing conditions, is added to a token and it is made transmit processed data to two or more units, and to transmit to it.
[0059] For example, when transmitting and carrying out distributed processing of the data to N units, the numerical information N is added to a token. The unit in which a processing start is possible receives a token, judges N That the value is the first unit which will process data if it becomes, and performs processing which the first unit should perform. The value of a token is reduced one simultaneously and it transmits to the following unit.
[0060] Like the following, the unit which can be processing started performs processing according to the value of the received token, and delivers the token reduced one to the following unit. The unit which is not possible for a processing start, and when [even if a processing start is possible,] a token value is already zero, a token is passed to the following unit as it is.
[0061] Even when carrying out distributed processing in N units, it becomes unnecessary in this way, for the number of processing units to be not necessarily a multiple of N, since the next processing can be assigned to the unit whose processing start completed the assigned processing and was attained again when carrying out distributed processing of the processed data by the multi-unit.
[0062] Drawing 13 is a flow chart which shows the procedure by the side of the master in such an extended token method, and the procedure by the side of a slave. As procedure by the side of a master, the number of destination units is set to a processing request token (Step S41), and a processing request token and processed data are transmitted (Step S42). If ACK of the waiting for a predetermined time (Step S43) and the number of times of predetermined comes on the contrary that the answer (ACK) from a slave side comes on the contrary (Step S44), the processing after Step S41 will be repeated again. If ACK does not come on the contrary, after carrying out error processing (Step S45), the processing after Step S41 is repeated.
[0063] If (Step S51) and a unit are idle states in a value positive in a token as procedure by the side of a slave (Step S52), a token value will be reduced one, data will be incorporated and ACK will be returned to a master side (Step S53). Subsequently, the data which transmitted a token and data to the following unit (Step S54), and incorporated them are processed (Step S55).
[0064] An end of processing of data repeats the processing after Step S51 again. If a unit is not an idle state (Step S52), a token and data will be transmitted to the following unit (Step S56), and the processing after Step S51 will be repeated.
[0065] (Conversion data transfer) When processed data are processed in one data-processing unit and the data is transmitted to the unit, there is no meaning already transmitted to the data-processing unit of the latter part. On the other hand, the unit in which a processing start is possible needs to output the processing result completed before it. For example, a picture which processes the picture input from a camera and is different from an input is made, and the case where this is displayed hits this. In this way, by substituting secretly the data transmitted using the same bus on the way, the real transfer rate to the double precision of the bandwidth of a bus is realizable.
[0066] Drawing 14 and drawing 15 are the block diagrams and timing charts which show signs that the processed data D0-D7 sent from unit 1A are processed by unit 1C, and it is outputted as processing result data R0-R3 from unit 1C.
[0067] (Wait control) It receives a wait (Wait) signal from the internal circuitry of a self-unit, or a latter data-processing unit, drawing 16 is the block diagram showing the gestalt of other operations of the transfer control section 40, it is constituted so that it may output to the data-

processing unit of the preceding paragraph, and it has the composition of having the buffer 48 for preservation other than the flip-flop 44 further for data transfer temporarily [data]. Other composition is the same as the composition shown in drawing 2 .

[0068] When according to this composition data are continuously outputted from master unit 1A and the state where can receive data or they cannot be taken out with the slave unit 1B - 1F side without retardation arises, the wait signal which requires that data output should be suspended to master unit 1A is needed.

[0069] For example, the case where it is receivable if it passes for a while although other processings are performed, and the case where it is said that 16 bytes of processing is performed again after continuing and performing 16 bytes of processing and carrying out a number clock pause correspond now.

[0070] That is, data are received to some extent, and are processed, the processing result is outputted, and a wait signal is needed in order to perform processing in which data are received again. If a wait signal is received from a self-unit or a latter-part unit, each unit will output a wait signal to a preceding paragraph unit, and will interrupt transfer data.

[0071] However, since reaching master unit 1A takes time even if it outputs a wait signal from a certain slave unit, since column connection of two or more units is made, also between them from master unit 1A, data are outputted one after another. In such a case, the already outputted data are saved at the buffer 48 of each unit, and it saves temporarily until a wait is canceled and a transfer is resumed.

[0072] Drawing 17 is a flow chart which shows the procedure of such wait control. If there is a wait demand from the internal circuitry of a self-unit, or a latter-part unit (Step S61), the transfer control section 40 will output a wait signal to a preceding paragraph unit, and will interrupt the output to a latter-part unit (Step S62). If there are data from a preceding paragraph unit (Step S63), it stores in the buffer 48 for preservation temporarily (Step S64).

[0073] If a wait is canceled (Step S65), the output to a latter-part unit will be resumed (Step S66), and after discharging the data stored in the buffer 48 for preservation temporarily (Step S67) and completing it, wait release is notified to a preceding paragraph unit (Step S68).

[0074] Drawing 18 is a timing chart which shows operation of wait control. When data Do-D2 has been sent to the self-unit from the preceding paragraph unit and the wait signal has been sent from the latter-part unit, a wait signal is transmitted to a preceding paragraph unit, data D3 are stored in the buffer (tmp) 48 for preservation temporarily, and the output to a latter-part unit is interrupted. Data D4 are similarly stored in the buffer 48 for momentary preservation of a preceding paragraph unit.

[0075] If a wait is canceled, the data D3 stored in the buffer 48 will be discharged, it will output to a latter-part unit, and wait release will be notified to a preceding paragraph unit. Then, the data D4 stored in the buffer 48 for momentary preservation of a preceding paragraph unit are discharged, and it is transmitted to a self-unit. It usually passes along the data D5-D7 after it, and they are transmitted.

[0076] (FIFO control) From an origination-side unit to a receiving-side unit, it can be considered in this way that each unit is FIFO which saves transfer data temporarily. Supposing there are n units, when performing data transfer from a high-order end to a low order end, there is delay of n-1 clock, and by the time the slave unit of a low order end takes out a wait signal and gets across to a master unit, "(n-1)x2-1" clock will pass.

[0077] For this reason, FIFO of "(n-1)x2-1" stage is needed. Although it has one step of FIFO in each unit and a wait signal is transmitted from a slave unit in order toward a master unit, since there is every one clock delay, two data are saved to each unit. One piece drives and one more piece is put into FIFO (buffer 48).

[0078] Master unit 1A has the information on whether each slave unit has FIFO, and must not perform a burst transfer to a slave unit without FIFO. Moreover, when there is less FIFO than a required number of stages, a master unit can insert a wait signal and can reduce the initial complement of FIFO.

[0079] Next, drawing 19 is a timing chart which shows signs that transmit the data for several steps until it considers that a slave unit in the meantime is FIFO and connection between master

unit 1A and slave unit 1D is established, in case data are transmitted to for example, slave unit 1D from master unit 1A, and transfer control is carried out with the ready signal (signal which can be transmitted) or wait signal from slave unit 1D.
[0080] That is, if data are outputted from master unit 1A in order of data D0, D1, D2, and D3 and data D0 reach slave unit 1D, a ready signal will be sent to master unit 1A from slave unit 1D.
[0081] If data transfer is stopped and a ready signal reaches master unit 1A until a ready signal reaches master unit 1A, master unit 1A will output the following data D4 and D5. Then, if a wait signal reaches from slave unit 1D, data transfer will be stopped again and data D6 and D7 and -- will be outputted by attainment of the following ready signal.
[0082] Drawing 20 is a timing chart which shows signs that block transfer is performed, after connection between a master unit and its slave unit is established, in case data are transmitted to a slave unit from a master unit. The data of the 2nd henceforth cannot be transmitted until master unit 1A advances a transfer request to slave unit 1D and slave unit 1D returns a ready signal. If master unit 1A performs a data transfer new whenever it receives a ready signal from slave unit 1D and a wait signal is received, it will suspend a data transfer.
[0083] (Ring-like connection) Drawing 21 is the block diagram of the unit connection type system constituted so that the ends of a data bus 5 might be connected and it might become ring-like, makes a data path to which access from master unit 1A takes a round of the slave units 1B-1F, and returns, and enables it to perform bus access by the pipelined architecture by processing all signals by one-way traffic.
[0084] For example, when master unit 1A performs light access, the light buffer is given to the slave unit and light access which is different in pipeline with the POS Ted Wright method can be published continuously. On the other hand, in lead access, while waiting for data to come on the contrary, a bus can be occupied and a throughput can be reduced.
[0085] Moreover, with this composition, since the lead data from a slave unit are transmitted in the same direction as an access-control signal and return to a master unit, the next access can be published continuously, without waiting to complete access. Lead access and light access can raise a throughput.
[0086]
[Effect of the Invention] According to invention according to claim 1, data transfer of the stable high throughput by the number of units can be performed by making the transmission-line environment in which high-speed operation is possible where the load was restricted with transmission-line length, and carrying out synchronizing-relay transmission of between the cut data buses at the shape of a pipeline.
 [0087] According to invention according to claim 2, the data transfer path of a system can be divided into two or more paths, and it can be made to operate simultaneously.
[0088] According to invention according to claim 3, the obstacle on a transfer path can be detected and an obstacle part can be pinpointed per unit.
[0089] According to invention according to claim 4, at the time of failure of the internal circuitry of a unit, an internal circuitry can be separated from a transfer path and a system can be worked succeedingly.
[0090] According to invention according to claim 5, since data with a high priority are transmitted preferentially, the time which an Arbitration takes can be lost.
[0091] According to invention according to claim 6, each slave unit can output every a maximum of two transfer clocks data in response to one read-out instruction from a master unit.
[0092] According to invention according to claim 7, even if a master unit does not check the processing start propriety state of each unit, the unit in which a processing start is possible can incorporate data autonomously, and can carry out processing execution.
[0093] According to the conditions defined beforehand, to the unit in which two or more processing starts are possible, a multicasting transfer can be carried out and, according to invention according to claim 8, distributed processing of the data can be carried out.
[0094] According to invention according to claim 9, since processed data and processing result data can be transmitted on the same bus, a bus can be substantially used by the bandwidth of double precision.

[Translation done.]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)..許出願公開番号

特開平11－136309

(43)公開日　平成11年(1999)５月21日

(51)Int.Cl.⁶	識別記号	ＦＩ	
Ｈ０４Ｌ　29/08		Ｈ０４Ｌ　13/00	３０７Ａ
Ｇ０６Ｆ　3/00		Ｇ０６Ｆ　3/00	Ｔ
13/38	３５０	13/38	３５０

審査請求　未請求　請求項の数９　ＦＤ　（全 14 頁）

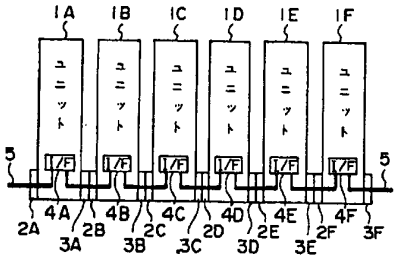
(21)出願番号　特願平9－311022

(22)出願日　平成９年(1997)10月28日

(71)出願人　000002945
オムロン株式会社
京都府京都市右京区花園土堂町10番地
(72)発明者　宮田　佳昭
京都府京都市右京区花園土堂町10番地　オムロン株式会社内
(72)発明者　森　弘之
京都府京都市右京区花園土堂町10番地　オムロン株式会社内
(74)代理人　弁理士　育木　輝夫

(54)【発明の名称】　データ処理装置

(57)【要約】
【課題】　ユニット連結型システムのデータ処理装置に関し、高スループットのデータ転送を可能とし、かつ接続するユニット数にかかわらず安定したデータ転送性能を発揮することを目的とする。
【解決手段】　データ処理部と前記データ処理部の入出力データを転送するデータバスを備えたデータ処理ユニットを着脱自在な接続部を介して複数個縦列接続し、前記データ処理ユニット間でデータ転送を行うデータ処理装置において、前記各ユニット内の入力側接続部および出力側接続部間に転送制御部を設け、前記データバスでデータをクロック同期で入力時のクロック信号の次のクロック信号に同期してフリップフロップを介して隣接ユニットに転送するように構成したものである。



【特許請求の範囲】
【請求項１】　データ処理部と前記データ処理部の入出力データを転送するデータバスを備えたデータ処理ユニットを着脱自在な接続部を介して複数個縦列接続し、前記データ処理ユニット間でデータ転送を行うデータ処理装置において、
前記各ユニット内の入力側接続部および出力側接続部間に転送制御部を設け、前記データバスでデータをクロック同期で入力時のクロック信号の次のクロック信号に同期してフリップフロップを介して隣接ユニットに転送するように構成したことを特徴とするデータ処理装置。
【請求項２】　データバス上で転送された自ユニット宛のデータを受け入れると、転送制御部を制御して後段のデータ処理ユニットへの前記データの転送を停止するように構成したことを特徴とする請求項１記載のデータ処理装置。
【請求項３】　転送データのエラーチェックを行い、データバス上の障害発生箇所をデータ処理ユニット毎に特定するように構成したことを特徴とする請求項１記載のデータ処理装置。
【請求項４】　自データ処理ユニット内の故障時に、データバス上を転送されてきたデータを自データ処理部に転送せず、データバス上を送られて来るデータを後段のデータ処理ユニットへ転送するように構成したことを特徴とする請求項１記載のデータ処理装置。
【請求項５】　データを後段のデータ処理ユニットへ転送中に優先度が高い属性を有するデータが前段のデータ処理ユニットから入力されると、後段のデータ処理ユニットへ転送中のデータの転送を中断して前記優先度が高いデータを後段のデータ処理ユニットへ転送するように構成したことを特徴とする請求項１記載のデータ処理装置。
【請求項６】　データバスは双方向の伝送路から構成され、複数のデータ処理ユニットは１つのマスタデータ処理ユニットとそれに従属する複数のスレーブデータ処理ユニットとから構成され、スレーブデータ処理ユニットはマスタデータ処理ユニットからの読み出し命令を受けてマスタデータ処理ユニットにデータを転送し、マスタデータ処理ユニットにデータが到達するまでの間に１回の読み出し命令で最大２転送クロック分のデータを転送するように構成したことを特徴とする請求項１記載のデータ処理装置。
【請求項７】　複数のデータ処理ユニットは１つのマスタユニットとそれに従属する複数のスレーブユニットから構成され、マスタユニットは被処理データに処理トークンを付加してスレーブユニットに転送し、処理開始可能状態にあるスレーブユニットは被処理データおよび処理トークンを受け入れると後段のスレーブユニットへの転送を停止し、処理開始可能状態にないスレーブユニットは被処理データおよび処理トークンを後段のスレーブユニットへ転送するように構成したことを特徴とする請求項１記載のデータ処理装置。
【請求項８】　マスタユニットは被処理データに条件付き処理トークンを付加してスレーブユニットに転送し、処理開始可能状態にあるスレーブユニットは被処理データおよび処理トークンを受け入れて処理トークンの条件を変更し、被処理データおよび条件を変更した処理トークンを後段のスレーブユニットへ転送するように構成したことを特徴とする請求項７記載のデータ処理装置。
【請求項９】　処理開始可能状態にあるスレーブユニットは被処理データおよび処理トークンを受け入れ、後段のスレーブユニットへは内部回路で処理した処理結果データを転送するように構成したことを特徴とする請求項７記載のデータ処理装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、複数のデータ処理ユニットを縦列接続してなるユニット連結型システムのデータ処理装置に関する。
【０００２】
【従来の技術】従来、ユニット連結型システムにおけるデータ転送は、バックプレーン方式やスタック方式が多く用いられている。バックプレーン方式は、図２２に示すように複数のデータ処理ユニット１０Ａ～１０Ｆをコネクタ１１Ａ～１１Ｆを介してデータバス１２に接続する構成となっている。
【０００３】また、スタック方式は、図２３に示すように、ユニット１０Ａ～１０Ｆをその両側に設けたコネクタ１３Ａ～１３Ｆ，１４Ａ～１４Ｆを介して接続することにより、両コネクタ間を直結する内部バスが縦列接続されてデータバス１５を構成するようになっている。
【０００４】このため、バックプレーン方式はユニットをコネクタを介して接続することによりユニット数を増加することができ、スタック方式はユニットに取り付けたコネクタを介して隣接ユニットに接続することによりユニット数を増加することができる。
【０００５】
【発明が解決しようとする課題】しかし、これら従来方式では、１つの信号線を多数のユニットで共有する構成となっているため、ユニット数が多くなるにつれて電気的負荷の増加やトレース長の増加などによって信号波形が劣化したり、伝送遅延が大きくなったりし、要求転送レートを確保するためにはユニットの最大構成を制限しなければならないという不都合があった。また、スタック方式では多段のコネクタを経由して信号を伝送するため、転送クロックを上げられないという不都合があった。
【０００６】本発明は、このような従来の課題を解決するためになされたもので、高スループットのデータ転送を可能とし、かつ接続するユニット数にかかわらず安定

特開平11-136309

したデータ転送性能を発揮することができるデータ処理装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明の請求項1記載のデータ処理装置は、データ処理部とこのデータ処理部の入出力データを転送するデータバスを備えたデータ処理ユニットを着脱自在な接続部を介して複数個縦列接続し、データ処理ユニット間でデータ転送を行うデータ処理装置において、各ユニット内の入力側接続部および出力側接続部間に転送制御部を設け、データバスでデータをクロック同期で入力時のクロック信号の次のクロック信号に同期してフリップフロップを介して隣接ユニットに転送するように構成したものである。

【0008】本発明によれば、伝送路長と負荷の制限された高速動作可能な伝送路環境を作り出し、切断されたデータバス間をパイプライン状に同期リレー伝送することにより、ユニット数によらない安定した高スループットのデータ転送が行える。

【0009】本発明の請求項2記載のデータ処理装置は、請求項1記載の発明において、データバス上で転送された自ユニット宛のデータを受け入れると、転送制御部を制御して後段のデータ処理ユニットへのデータの転送を停止するように構成したものである。

【0010】本発明によれば、システムのデータ転送経路を複数の経路に分割して同時に動作させることができる。

【0011】本発明の請求項3記載のデータ処理装置は、請求項1記載の発明において、転送データのエラーチェックを行い、データバス上の障害発生箇所をデータ処理ユニット毎に特定するように構成したものである。

【0012】本発明によれば、転送経路上の障害を検知してユニット単位で障害箇所を特定することができる。

【0013】本発明の請求項4記載のデータ処理装置は、請求項1記載の発明において、自データ処理ユニット内の故障時に、データバス上を転送されてきたデータを自データ処理部に転送せず、データバス上を送られて来るデータを後段のデータ処理ユニットへ転送するように構成したものである。

【0014】本発明によれば、ユニットの内部回路の故障時に、内部回路を転送経路から切り離してシステムを引き続き稼働させることができる。

【0015】本発明の請求項5記載のデータ処理装置は、請求項1記載の発明において、データを後段のデータ処理ユニットへ転送中に優先度が高い属性を有するデータが前段のデータ処理ユニットから入力されると、後段のデータ処理ユニットへ転送中のデータの転送を中断して優先度が高いデータを後段のデータ処理ユニットへ転送するように構成したものである。

【0016】本発明によれば、優先度が高いデータを優先的に転送するので、アービトレーションに要する時間をなくすことができる。

【0017】本発明の請求項6記載のデータ処理装置は、請求項1記載の発明において、データバスは双方向の伝送路から構成され、複数のデータ処理ユニットは1つのマスタデータ処理ユニットとそれに従属する複数のスレーブデータ処理ユニットとから構成され、スレーブデータ処理ユニットはマスタデータ処理ユニットからの読み出し命令を受けてマスタデータ処理ユニットにデータを転送し、マスタデータ処理ユニットにデータが到達するまでの間に1回の読み出し命令で最大2転送クロック分のデータを転送するように構成したものである。

【0018】本発明によれば、各スレーブユニットはマスタユニットからの1回の読み出し命令を受けて最大2転送クロック分ずつのデータを出力することができる。

【0019】本発明の請求項7記載のデータ処理装置は、請求項1記載の発明において、複数のデータ処理ユニットは1つのマスタユニットとそれに従属する複数のスレーブユニットから構成され、マスタユニットは被処理データに処理トークンを付加してスレーブユニットに転送し、処理開始可能状態にあるスレーブユニットは被処理データおよび処理トークンを受け入れると後段のスレーブユニットへの転送を停止し、処理開始可能状態にないスレーブユニットは被処理データおよび処理トークンを後段のスレーブユニットへ転送するように構成したものである。

【0020】本発明によれば、各ユニットの処理開始可否状態をマスタユニットが確認しなくとも、処理開始可能なユニットが自律的にデータを取り込んで処理実行することができる。

【0021】本発明の請求項8記載のデータ処理装置は、請求項7記載の発明において、マスタユニットは被処理データに条件付き処理トークンを付加してスレーブユニットに転送し、処理開始可能状態にあるスレーブユニットは被処理データおよび処理トークンを受け入れて処理トークンの条件を変更し、被処理データおよび条件を変更した処理トークンを後段のスレーブユニットへ転送するように構成したものである。

【0022】本発明によれば、予め定められた条件に従って複数の処理開始可能なユニットに対してデータをマルチキャスト転送し、分散処理させることができるものである。

【0023】本発明の請求項9記載のデータ処理装置は、請求項7記載の発明において、処理開始可能状態にあるスレーブユニットは被処理データおよび処理トークンを受け入れ、後段のスレーブユニットへは内部回路で処理した処理結果データを転送するように構成したものである。

【0024】本発明によれば、同一バス上で被処理データと処理結果データとを転送することができるので、バスを実質的に2倍のバンド幅で利用することができるものである。

【0025】

【発明の実施の形態】図1は、本発明が適用されるユニット連結型システムのブロック図で、複数のデータ処理ユニット1A～1Fが各ユニットの両側に設けた接続部材としてのコネクタ2A～2F，3A～3Fを介して縦列接続されており、データ処理ユニット1A側からデータ処理ユニット1F側へデータを転送するように構成されている。各ユニット1A～1Fは内部にCPU等を有し、データ処理機能を備えた構成となっている。

【0026】また、各データ処理ユニット1A～1F内には、インターフェイス部（I／F部）4A～4Fが設けられており、一方のコネクタ2A～2Fと他方のコネクタ3A～3FとはこのI／F部4A～4Fを介して接続されている。従って、全データ処理ユニット1A～1Fを貫くデータバス5は、各データ処理ユニット1A～1Fの一方のコネクタ2（2A～2F）、I／F部4（4A～4F）および他方のコネクタ3（3A～3F）を介して接続されている。

【0027】図2は、I／F部4内の転送制御部40の構成を示すブロック図で、データ処理ユニット1A側からのデータを受け取る入力部41と、データ処理ユニット1F側へデータを送出する出力部42とを備える。

【0028】入力部41で受けたクロック信号および入力信号は、データ処理ユニット1内の内部回路（図示せず）に入力される。また、クロック信号はクロックドライバ43で増幅されて出力部42に入力され、入力信号はフリップフロップ（FF）44およびマルチプレクサ（MUX）45を経て出力部42に入力される。

【0029】フリップフロップ44はクロック信号によって制御され、入力信号を同期化する回路であり、マルチプレクサ45は制御部46によって制御され、フリップフロップ44の出力信号または内部回路の出力信号を選択して出力する。クロックドライバ43とフリップフロップ44との間にはスイッチ部47が設置され、制御部46の制御の下にフリップフロップ44へのクロック信号の供給を制御するようになっている。

【0030】この構成において、各データ処理ユニット1の転送制御部40は、クロック信号の立ち上がりで入力信号をラッチし、出力信号を隣接ユニットに出力する。クロック信号とデータとは同様の伝送路を通るので、クックロスキューの影響が相殺できる。また、1転送クロック間の信号経路を隣接ユニット間に限定できるので、伝送路の負荷や経路が最小化され、各隣接ユニット間転送の高速化が可能になる。

【0031】例えば、最左端のデータ処理ユニット1Aが画像データを取り込むカメラユニットであり、その他のデータ処理ユニット1B～1Fが画像処理ユニットであるとすると、画像データはカメラユニット1Aから画像処理ユニット1B～1Fに一方向に転送される。

【0032】この画像データを1画面（フレーム）毎に各ユニット1B～1Fに割り当てれば、ユニット1B～1F相互間の入力データの位相は必ずしも揃っている必要はなく、むしろ大量のデータを転送するためにスループットを上げることが重要となる。そこで、本実施の形態のようにパイプライン状に同期リレー転送でデータを転送する方法が効果的に働く。

【0033】（通常のデータ転送）本実施の形態における通常のデータ転送では、伝送路長と負荷を制限して電気的動作環境の改善されたデータバスを高速動作させ、パイプラインのようにデータをクロック同期でリレー転送することにより、ユニット数の増減にかかわらず高スループットで安定したデータ転送が可能となる。図3は、そのときのタイミングチャートである。

【0034】（コンカレントデータ転送）図4は、データ処理ユニット1Aをカメラ＃0ユニットとし、データ処理ユニット1Bを画像処理＃0ユニットとし、データ処理ユニット1Cをカメラ＃1ユニットとし、データ処理ユニット1D～1Fを画像処理＃1～＃3ユニットとした画像処理装置を示すものである。

【0035】この構成において、画像処理＃0ユニット1Bとカメラ＃1ユニット1Cとの間の転送経路を分断し、カメラ＃0ユニット1Aで取り込んだ画像データは画像処理＃0ユニット1Bで処理し、カメラ＃1ユニット1Cで取り込んだ画像データは画像処理＃1～＃3ユニット1D～1Fで分割して処理するようにする。

【0036】具体的には、画像処理＃0ユニット1Bの転送制御部40内のスイッチ部47を開放状態とし、フリップフロップ44へのクロック信号の供給を停止することで行う。

【0037】これにより、カメラ＃0の画像転送経路とカメラ＃1の画像転送経路とを分断し、同時に独立してデータ転送が行える。しかし、完全に分断された別々のバスとは異なり、カメラ＃0の画像データを画像処理＃1～＃3に転送する場合は、画像処理＃0ユニット1Bの転送制御部48Bを駆動して画像データをリレー転送することによりデータ転送が行える。

【0038】（障害検知）図5は、転送経路上の障害を検知する場合の動作を示すブロック図である。転送経路上の障害を検知する手段としては、転送データの誤りを検知し、その誤りを訂正するパリティやECC（Error Correcting Code ：誤り訂正符号）等の手段、転送プロトコルのエラーでスタックしたとき、それを検知して復旧するのによく利用されるWDT（ウオッチド・タイマー）がある。

【0039】本実施の形態では、エラーを検知するとそのデータ処理ユニット内のレジスタREGにエラー検出を示す情報をセットし、データ転送バス5とは別に設けた非同期経路6を介して転送エラーの発生を他のデータ転送ユニットに通知する。

【００４０】エラー通知を受けた他のデータ転送ユニットは、直ちに転送を中止し、マスタユニットは各ユニットのレジスタを調べて転送経路上のどのユニット間で障害が発生したかを特定し、障害ユニットを切り離す等のエラー処理を行う。

【００４１】この例では、データ処理ユニット１Ｄ～１Ｅ間に障害があり、データ処理ユニット１Ｄのレジスタ ＲＥＧにエラー確認を示す情報をセットし、データ処理ユニット１ＥのレジスタＲＥＧにエラー転送を示す情報をセットする。そして、データ処理ユニット１Ｄ，１Ｅから非同期経路６を介して他のデータ処理ユニットにエラーを通知する。

【００４２】（障害ユニットの切り離し）図６は、あるユニットの内部回路に障害が発生し、正常に動作できなくなったときに、そのユニットの転送制御部４と内部回路とを切り離すようにスルーパスモードを設けた場合の動作を示すブロック図である。

【００４３】このモードでは、隣接ユニットから受け取ったデータや制御信号はそのまま後段の隣接にユニットに受け渡すもので、システム全体から見ればデータを１クロック送らせる遅延素子となるが、データ転送には一切干渉せず存在しないものとみなせる。

【００４４】この例では、データ処理ユニット１Ｄの内部回路に障害が発生し、データ処理ユニット１Ｄの内部回路と転送制御部４Ｄとを切り離し、転送制御部４Ｄはデータを１クロック送らせる単なる遅延素子として作動する様子を示している。

【００４５】（優先度付きデータ転送）図７は、転送するデータに優先度を設け、低優先度データの転送中に高優先度のデータを受け取ると、実行中の低優先度データの転送を一旦中断し、高優先度のデータを転送する。例えば、画像表示など恒常的にデータ転送バス５を占有するバースト転送中に、緊急性の高い割り込み処理を速やかに実行する場合などに有効である。

【００４６】図８は、各データ処理ユニットにおける優先処理の手順を示すフローチャートである。まず、制御部４６は転送中のデータよりも優先度が高いデータが来ると（ステップＳ１１）、未転送のデータを自データ処理ユニット内の一時バッファに保存し（ステップＳ１２）、転送の優先度属性を更新し、高優先度データを次のデータ処理ユニットに転送する（ステップＳ１３）。転送完了後、優先度属性を元に戻し、一時バッファに保存した低優先度のデータを転送する（ステップＳ１４）。

【００４７】転送中のデータよりも優先度が低いデータが来ると（ステップＳ１１）、転送の衝突を通知し（ステップＳ１５）、実行中のデータの転送を続ける（ステップＳ１６）。転送完了後、衝突解除を通知する（ステップＳ１７）。

【００４８】図９は、優先処理の一例を示すタイミングチャートで、データ処理ユニット１Ｂからデータ処理ユニット１Ｃに８ビットのデータＬ０～Ｌ７を転送している途中で、データ処理ユニット１Ａから優先度の高い４ビットのデータＨ０～Ｈ３が転送されて来ると、データ処理ユニット１Ｂは未転送のデータＬ３～Ｌ７をユニット内の一時バッファに保存し、優先度の高いデータＨ０～Ｈ３を先に転送した後に、残りのデータＬ３～Ｌ７を転送する。

【００４９】（双方向転送）図１０は、データ転送バス５を双方向転送のデータ転送経路に拡張し、データ処理ユニット１Ａをマスタユニットとし、データ処理ユニット１Ｂ～１Ｆをスレーブユニットとしたシングルマスタ構成のユニット連結型システムのブロック図である。

【００５０】マスタユニット１Ａが発信したアクセスの制御信号はスレーブユニット１Ｂ～１Ｆ間をリレー転送され、スレーブユニット１Ｂ～１Ｆからのリードデータは双方向の逆の経路をリレー転送されてマスタユニット１Ａへと到達する。

【００５１】従って、マスタユニット１Ａからのリードアクセスに対して、スレーブユニット１Ｂ～１Ｆがデータを返し、それがマスタユニット１Ａに到達するのに隣接ユニット間でそれぞれ２クロックずつの時間差が生じる。この時間差を利用して２クロックで転送できるだけのデータを１回のリードアクセスで全てのユニットから読み出すことが可能である。

【００５２】図１１は、その動作を示すタイミングチャートで、マスタユニット１Ａから発せられたリードアクセスＢＲがスレーブユニット１Ｂ～１Ｆに順次リレー転送されて行く過程で、スレーブユニット１Ｂからはデータ Ｄｏ～Ｄ１、スレーブユニット１Ｃからはデータ Ｄ２～Ｄ３、スレーブユニット１Ｄからはデータ Ｄ４～Ｄ５というように、各スレーブユニットから２クロック分のデータが転送される様子を示している。

【００５３】（並列処理）ところで、データ入力をトリガとして処理を開始し、データ単位と処理単位とが１対１に対応する演算処理ユニットからなる並列処理システムでは、処理するデータが画像データとすると、データ源であるカメラユニットから画像処理ユニットに一方通行で転送できる。各ユニットが処理に要する時間にバラツキがある場合は、各ユニットに単純にデータを割り振ると、転送の時間間隔をバラツキの最大値に合わせなくてはならず無駄な時間を浪費する。

【００５４】一方、早く処理を完了したユニットを見つけ出し、時間の無駄なくデータを割り振ろうとして状態センス用信号線を設けると、処理を完了したユニットを識別するために信号線が多数必要になり、識別処理のために時間が掛かったりする。そこで、転送データに処理トークンを付加してリレー転送し、処理開始可能状態にあるユニットがデータとトークンとを受け取るとそれらを取り込み、処理を開始するようにした分配方式とする。

データとトークンとを受け取ったユニットの次のユニットにはトークンを渡さないようにする。

【００５５】これにより、処理時間のバラツキのせいで次の処理を開始できるまでの時間が長くなっても、いずれかの処理開始可能なユニットがデータを処理できるので、タクト時間を短縮できる。

【００５６】図１２は、このような並列処理システムにおけるマスタ側の処理手順とスレーブ側の処理手順とを示すフローチャートである。マスタ側の処理手順としては、処理依頼トークンと処理データとをスレーブ側に送信し（ステップＳ２１）、スレーブ側からの返答（ＡＣＫ）が返ってくるのを所定時間待つ（ステップＳ２２）。ＡＣＫが返ってくれば（ステップＳ２３）、再びステップＳ２１以降の処理を繰り返し、ＡＣＫが返ってこなければ、エラー処理（ステップＳ２４）した後にステップＳ２１以降の処理を繰り返す。

【００５７】スレーブ側の処理手順としては、トークンが来ると（ステップＳ３１）、ユニットがアイドル状態であれば（ステップＳ３２）、トークンを次のユニットに送らずにデータを取り込み、マスター側にＡＣＫを返す（ステップＳ３３）。取り込んだデータの処理が終了すると（ステップＳ３４）、再びステップＳ３１以降の処理を繰り返す。ユニットがアイドル状態でなければ（ステップＳ３２）、トークンとデータを次のユニットに転送し（ステップＳ３５）、ステップＳ３１以降の処理を繰り返す。

【００５８】（拡張トークン方式）被処理データを複数のユニットに転送し、それぞれ異なる処理を実行させる場合、前述したトークン方式を拡張し、トークンに処理条件などの情報を追加して転送するようにする。

【００５９】例えば、Ｎ個のユニットにデータを転送して分散処理させる場合、トークンにＮという数値情報を追加する。処理開始可能なユニットはトークンを受け取り、その値がＮならばデータを処理する最初のユニットであると判断し、最初のユニットが実行すべき処理を行う。同時にトークンの値を１減じて次のユニットに転送する。

【００６０】以下同様に、処理開始可能ユニットは受け取ったトークンの値に応じて処理を実行し、次ユニットには１減じたトークンを受け渡す。処理開始可能でないユニットや、処理開始可能であっても既にトークン値がゼロの場合は、そのままトークンを次ユニットに渡す。

【００６１】こうして被処理データを複数ユニットで分散処理する場合、割り振られた処理を完了して再び処理開始可能になったユニットに次の処理を割り振れるので、Ｎ個のユニットで分散処理する場合でも、処理ユニットの数が必ずしもＮの倍数である必要はなくなる。

【００６２】図１３は、このような拡張トークン方式におけるマスタ側の処理手順とスレーブ側の処理手順とを示すフローチャートである。マスタ側の処理手順としては、転送先ユニット数を処理依頼トークンにセットし（ステップＳ４１）、処理依頼トークンと処理データを送信する（ステップＳ４２）。スレーブ側からの返答（ＡＣＫ）が返ってくるのを所定時間待ち（ステップＳ４３）、所定回数のＡＣＫが返ってくれば（ステップＳ４４）、再びステップＳ４１以降の処理を繰り返す。ＡＣＫが返ってこなければ、エラー処理（ステップＳ４５）した後にステップＳ４１以降の処理を繰り返す。

【００６３】スレーブ側の処理手順としては、トークンが正の値で（ステップＳ５１）、ユニットがアイドル状態であれば（ステップＳ５２）、トークン値を１減じてデータを取り込み、マスター側にＡＣＫを返す（ステップＳ５３）。次いで、トークンとデータを次のユニットに転送し（ステップＳ５４）、取り込んだデータを処理する（ステップＳ５５）。

【００６４】データの処理が終了すると、再びステップＳ５１以降の処理を繰り返す。ユニットがアイドル状態でなければ（ステップＳ５２）、トークンとデータを次のユニットに転送し（ステップＳ５６）、ステップＳ５１以降の処理を繰り返す。

【００６５】（変換データの転送）被処理データが１つのデータ処理ユニットで処理される場合は、そのデータがそのユニットに伝送されると、もはやその後段のデータ処理ユニットに伝送する意味がない。一方、処理開始可能なユニットはその前に完了した処理結果を出力する必要がある。例えば、カメラからの画像入力を処理して入力とは異なる画像を作り出し、これを表示する場合がこれに当たる。こうして同じバスを利用して転送するデータを途中ですり替えることにより、バスのバンド幅の２倍までの実質転送レートを実現できる。

【００６６】図１４および図１５は、ユニット１Ａから送られてきた被処理データＤ０～Ｄ７がユニット１Ｃで処理され、ユニット１Ｃから処理結果データＲ０～Ｒ３として出力される様子を示すブロック図およびタイミングチャートである。

【００６７】（ウェイト制御）図１６は、転送制御部４０の他の実施の形態を示すブロック図で、自ユニットの内部回路または後段のデータ処理ユニットからウェイト（Ｗait）信号を受け、前段のデータ処理ユニットに出力するように構成され、さらにデータ転送用のフリップフロップ４４の他にデータ一時保存用のバッファ４８を有する構成となっている。その他の構成は図２に示す構成と同一である。

【００６８】この構成によれば、マスタユニット１Ａから連続的にデータが出力されたときに、スレーブユニット１Ｂ～１Ｆ側で遅滞なくデータを受けたり出したりすることができない状態が生じた場合は、マスタユニット１Ａに対しデータ出力を停止することを要求するウェイト信号が必要となる。

【００６９】例えば、現在、他の処理を実行している

が、少し経てば受け付けることが出来る場合や、１６バイトの処理を続けて実行した後に数クロック休止してから再び１６バイトの処理を実行するといった場合が相当する。

【００７０】すなわち、データをある程度受け入れて処理し、その処理結果を出力し、再びデータを受け入れるという処理を実行するためにはウェイト信号が必要となる。各ユニットは自ユニットまたは後段ユニットからウェイト信号を受け取ると、前段ユニットにウェイト信号を出力し転送データを中断させる。

【００７１】しかし、複数のユニットが縦列接続されているため、あるスレーブユニットからウェイト信号を出力しても、マスタユニット１Ａに到達するには時間が掛るため、その間にもマスタユニット１Ａからは次々とデータが出力される。そのような場合には、すでに出力されたデータを各ユニットのバッファ４８に保存し、ウェイトが解除されて転送が再開されるまで一時的に保存しておく。

【００７２】図１７は、このようなウェイト制御の手順を示すフローチャートである。自ユニットの内部回路または後段ユニットからウェイト要求があれば（ステップＳ６１）、転送制御部４０は前段ユニットにウェイト信号を出力し、後段ユニットへの出力を中断する（ステップＳ６２）。前段ユニットからデータがあれば（ステップＳ６３）、一時保存用のバッファ４８に格納する（ステップＳ６４）。

【００７３】ウェイトが解除されると（ステップＳ６５）、後段ユニットへの出力を再開し（ステップＳ６６）、一時保存用のバッファ４８に格納したデータを排出し（ステップＳ６７）、それが終了すると前段ユニットへウェイト解除を通知する（ステップＳ６８）。

【００７４】図１８は、ウェイト制御の動作を示すタイミングチャートである。自ユニットに前段ユニットからデータＤｏ～Ｄ２が送られて来た時点で、後段ユニットからウェイト信号が送られて来た場合は、ウェイト信号を前段ユニットに転送し、データＤ３を一時保存用のバッファ（ｔｍｐ）４８に格納し、後段ユニットへの出力を中断する。同様にして前段ユニットの一時保存用のバッファ４８にはデータＤ４が格納される。

【００７５】ウェイトが解除されると、バッファ４８に格納したデータＤ３を排出して後段ユニットに出力し、前段ユニットにウェイト解除を通知する。すると、前段ユニットの一時保存用のバッファ４８に格納されていたデータＤ４が排出されて自己ユニットに転送される。それ以降のデータＤ５～Ｄ７は通常通り転送される。

【００７６】（ＦＩＦＯ制御）このように、各ユニットは発信側ユニットから受信側ユニットの間では転送データを一時保存するＦＩＦＯとみなすことができる。ユニットがｎ個あるとすると、最左端から最右端までデータ転送を行うときは、ｎ－１クロックの遅延があり、最右端のスレーブユニットがウェイト信号を出してマスタユニットに伝わるまでに「（ｎ－１）×２－１」クロックが経過する。

【００７７】このため、「（ｎ－１）×２－１」段のＦＩＦＯが必要となる。各ユニットに１段のＦＩＦＯを持ち、スレーブユニットからマスタユニットに向ってウェイト信号が順に伝わって来るが、１クロックづつの遅れがあるので、各ユニットには２個のデータが保存される。１個はドライブしておき、もう１個はＦＩＦＯ（バッファ４８）に入れる。

【００７８】マスタユニット１Ａは各スレーブユニットがＦＩＦＯを持っているか否かの情報を有しており、ＦＩＦＯのないスレーブユニットに対してはバースト転送を行ってはならない。また、ＦＩＦＯが必要な段数より少ないときは、マスタユニットがウェイト信号を挿入し、ＦＩＦＯの必要量を低減させることができる。

【００７９】次に、図１９は、マスタユニット１Ａから例えばスレーブユニット１Ｄにデータを転送する際に、その間のスレーブユニットをＦＩＦＯとみなし、マスタユニット１Ａとスレーブユニット１Ｄとの接続が確立するまで数段分のデータを転送し、スレーブユニット１Ｄからのレディー信号（転送可能信号）またはウェイト信号によって転送制御する様子を示すタイミングチャートである。

【００８０】すなわち、マスタユニット１Ａからデータ Ｄ０，Ｄ１，Ｄ２，Ｄ３の順にデータが出力され、データＤ０がスレーブユニット１Ｄに達すると、スレーブユニット１Ｄからレディー信号がマスタユニット１Ａに送られる。

【００８１】レディー信号がマスタユニット１Ａに到達するまではデータ転送を停止し、レディー信号がマスタユニット１Ａに到達すると、マスタユニット１Ａは次のデータＤ４，Ｄ５を出力する。この後、スレーブユニット１Ｄからウェイト信号が到達すると再びデータ転送を停止し、次のレディー信号の到達によってデータＤ６，Ｄ７，…を出力する。

【００８２】図２０は、マスタユニットからスレーブユニットにデータを転送する際に、マスタユニットとそのスレーブユニットとの接続が確立してからブロック転送を行う様子を示すタイミングチャートである。マスタユニット１Ａが転送要求をスレーブユニット１Ｄに出し、スレーブユニット１Ｄがレディー信号を返すまで、２番目以降のデータを転送することはできない。マスタユニット１Ａはスレーブユニット１Ｄからレディー信号を受け取るたびに新しいデータの転送を行い、ウェイト信号を受け取るとデータの転送を停止する。

【００８３】（リング状接続）図２１は、データバス５の両端を接続してリング状になるように構成したユニット連結型システムのブロック図で、マスタユニット１Ａからのアクセスがスレーブユニット１Ｂ～１Ｆを一巡して戻るようなデータ経路を作り、全ての信号を一方通行で処理することによってバスアクセスをパイプライン方式で実行できるようにしている。

【００８４】例えば、マスタユニット１Ａがライトアクセスを実行する場合、スレーブユニットにライトバッファを持たせておき、ポステッド・ライト方式でパイプライン的に異なるライトアクセスを連続して発行できる。これに対し、リードアクセスでは、データが返って来るのを待つ間、バスを占有してスループットを低下させることができる。

【００８５】また、この構成ではスレーブユニットからのリードデータがアクセス制御信号と同じ方向に伝送されてマスタユニットに返るため、アクセスが完了するのを待たずに次のアクセスを連続して発行することができる。リードアクセスおよびライトアクセスともにスループットを向上させることができる。

【００８６】

【発明の効果】請求項１記載の発明によれば、伝送路長と負荷の制限された高速動作可能な伝送路環境を作り出し、切断されたデータバス間をパイプライン状に同期リレー伝送することにより、ユニット数によらない安定した高スループットのデータ転送が行える。

【００８７】請求項２記載の発明によれば、システムのデータ転送経路を複数の経路に分割して同時に動作させることができる。

【００８８】請求項３記載の発明によれば、転送経路上の障害を検知してユニット単位で障害箇所を特定することができる。

【００８９】請求項４記載の発明によれば、ユニットの内部回路の故障時に、内部回路を転送経路から切り離してシステムを引き続き稼働させることができる。

【００９０】請求項５記載の発明によれば、優先度が高いデータを優先的に転送するので、アービトレーションに要する時間をなくすことができる。

【００９１】請求項６記載の発明によれば、各スレーブユニットはマスタユニットからの１回の読み出し命令を受けて最大２転送クロック分ずつのデータを出力することができる。

【００９２】請求項７記載の発明によれば、各ユニットの処理開始可否状態をマスタユニットが確認しなくとも、処理開始可能なユニットが自律的にデータを取り込んで処理実行することができる。

【００９３】請求項８記載の発明によれば、予め定められた条件に従って複数の処理開始可能なユニットに対してデータをマルチキャスト転送し、分散処理させることができる。

【００９４】請求項９記載の発明によれば、同一バス上で被処理データと処理結果データとを転送することができるので、バスを実質的に２倍のバンド幅で利用することができる。

【図面の簡単な説明】

【図１】本発明が適用されるユニット連結型システムのブロック図である。

【図２】転送制御部の構成を示すブロック図である。

【図３】本発明による通常のデータ転送を示すタイミングチャートである。

【図４】本発明によるコンカレントデータ転送の動作を示すブロック図である。

【図５】本発明による転送経路上の障害を検知する動作を示すブロック図である。

【図６】本発明による障害ユニット切り離し動作を示すブロック図である。

【図７】本発明による優先度付きデータ転送の動作を説明するブロック図である。

【図８】優先度付きデータ転送の動作を示すフローチャートである。

【図９】優先処理の一例を示すタイミングチャートである。

【図１０】本発明による双方向の動作を示すブロック図である。

【図１１】双方向の動作を示すタイミングチャートである。

【図１２】本発明による並列処理の動作を示すフローチャートである。

【図１３】本発明による並列処理の他の動作を示すフローチャートである。

【図１４】本発明による変換データの転送動作を示すブロック図である。

【図１５】本発明による変換データの転送動作を示すタイミングチャートである。

【図１６】転送制御部の他の構成を示すブロック図である。

【図１７】本発明によるウェイト制御の手順を示すフローチャートである。

【図１８】本発明によるウェイト制御の動作を示すタイミングチャートである。

【図１９】本発明によるＦＩＦＯ制御の動作を示すタイミングチャートである。

【図２０】本発明によるＦＩＦＯ制御の他の動作を示すタイミングチャートである。

【図２１】データバスの両端を接続してリング状に構成したユニット連結型システムのブロック図である。

【図２２】従来のユニット連結型システムを示すブロック図である。

【図２３】従来のユニット連結型システムを示すブロック図である。

【符号の説明】

１（１Ａ～１Ｆ）　データ処理ユニット

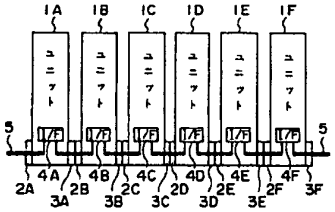
２（２Ａ～２Ｆ），３（３Ａ～３Ｆ）　コネクタ

４（４Ａ～４Ｆ）　Ｉ／Ｆ部

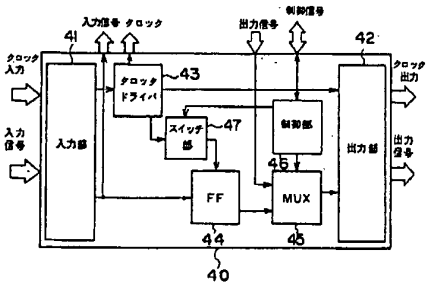
特開平11－136309

5　データバス
40　転送制御部
41　入力部
42　出力部
43　クロックドライバ
44　フリップフロップ（FF）
45　マルチプレクサ（MUX）
46　制御部
47　スイッチ部
48　バッファ

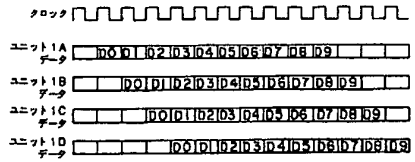
【図1】



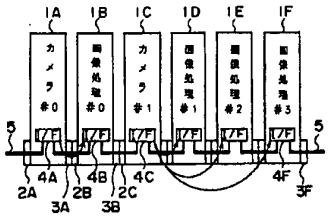
【図2】



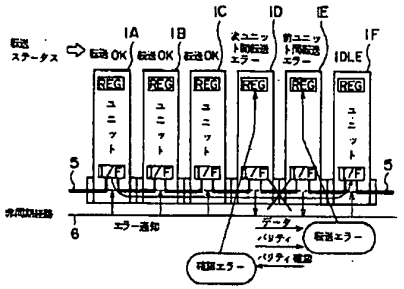
【図3】



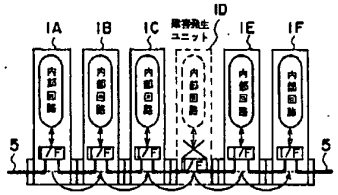
【図4】



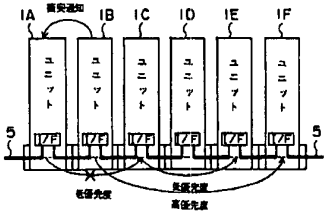
【図5】



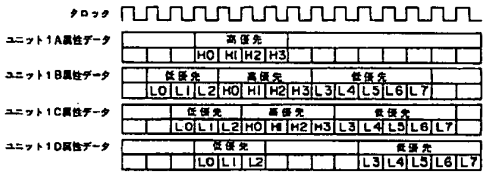
【図6】



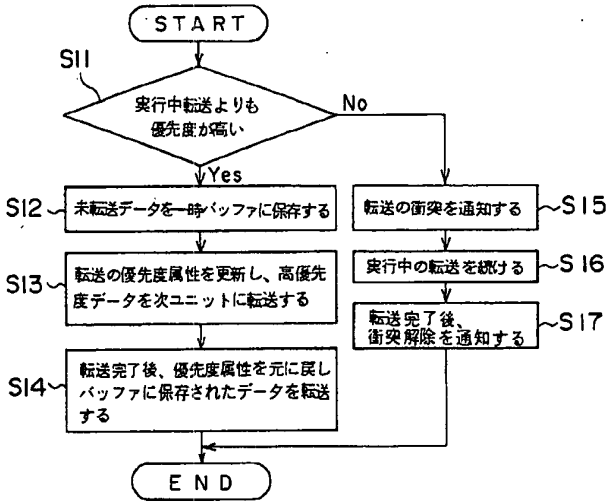
【図7】



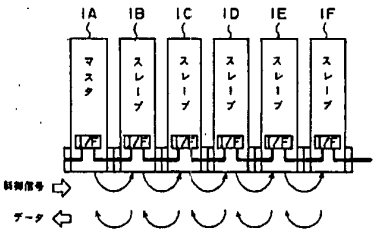
【図9】



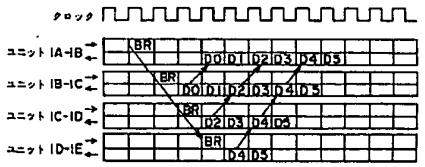
【図8】



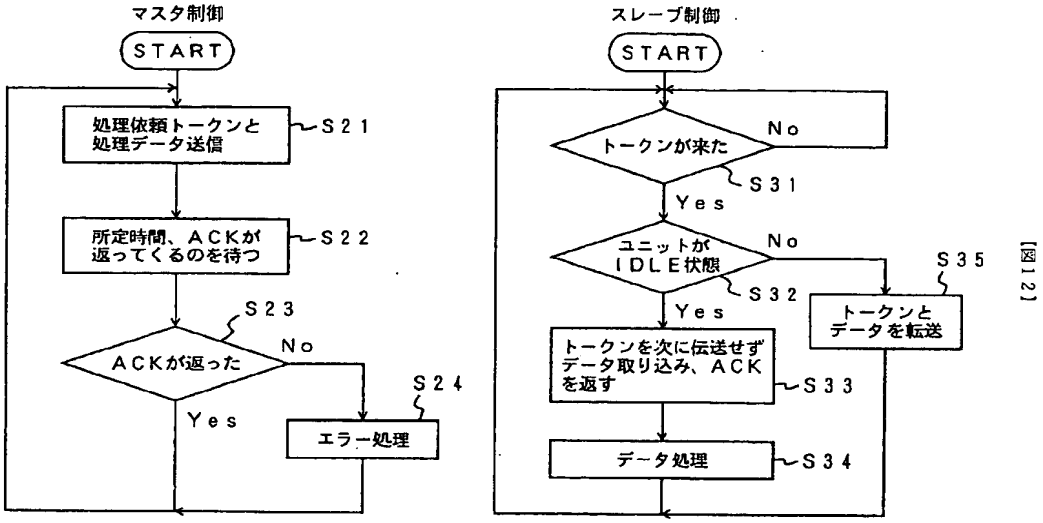
【図10】



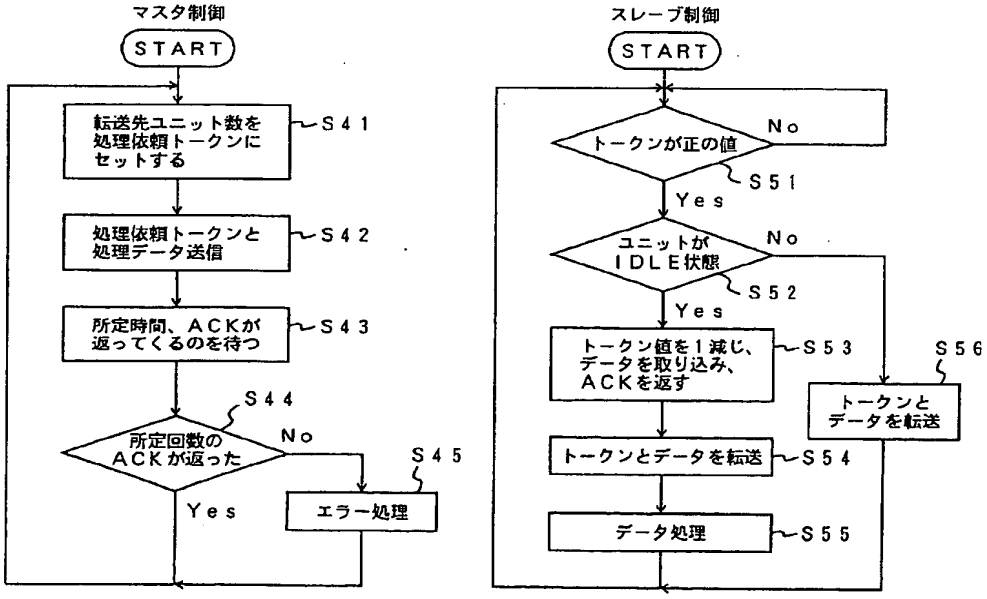
【図11】



[図12]

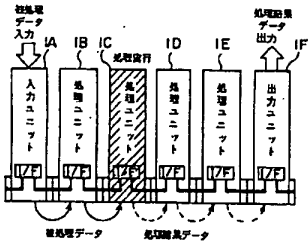

マスタ制御
START
処理依頼トークンと処理データ送信
S21
所定時間、ACKが返ってくるのを待つ
S22
S23
ACKが返った
No
Yes
S24
エラー処理
スレーブ制御
START
トークンが来た
No
S31
Yes
ユニットがIDLE状態
No
S35
S32
Yes
トークンとデータを転送
トークンを次に伝送せずデータ取り込み、ACKを返す
S33
データ処理
S34

[図13]

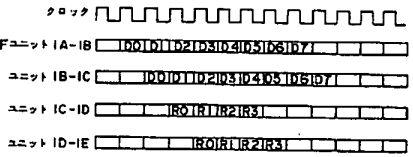

マスタ制御
START
転送先ユニット数を処理依頼トークンにセットする
S41
処理依頼トークンと処理データ送信
S42
所定時間、ACKが返ってくるのを待つ
S43
S44
所定回数のACKが返った
No
S45
Yes
エラー処理
スレーブ制御
START
トークンが正の値
No
S51
Yes
ユニットがIDLE状態
No
S52
Yes
トークン値を1減じ、データを取り込み、ACKを返す
S53
S56
トークンとデータを転送
トークンとデータを転送
S54
データ処理
S55

特開平11－136309

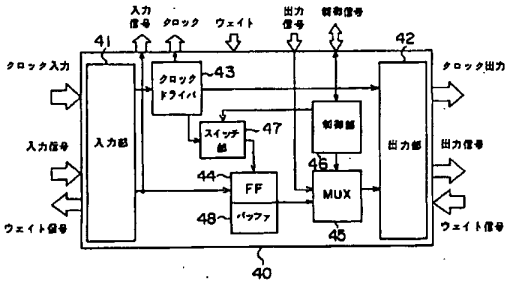
【図14】



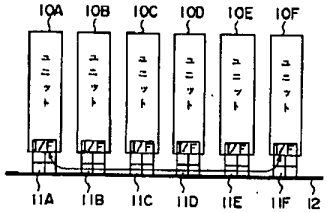
【図15】



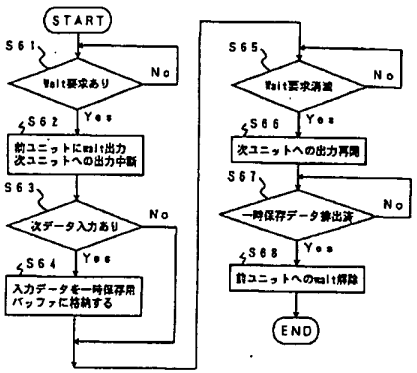
【図16】



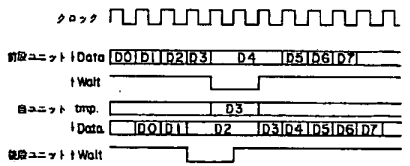
【図22】



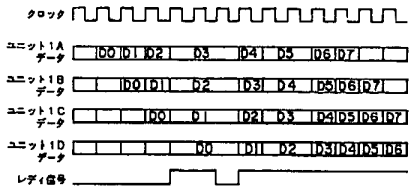
【図17】



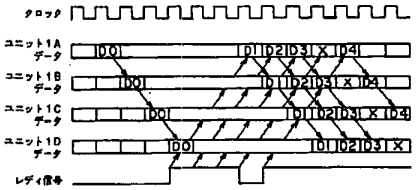
【図18】



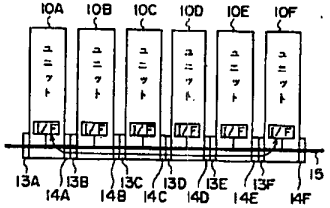
【図19】



【図20】



【図23】



【図21】